

Partial English Translation of

LAID OPEN unexamined

JAPANESE PATENT APPLICATION

Publication No. 5-14167

[0018] First, the input pulse DATA is output to the gate of the MOSFET 111 via the inverter 151 as a pulse having a waveform as indicated by Figure 2(c) and is delayed by the delay circuits 121 to 123 to be output to the selection circuit 131. The outputs of the delay circuits 121 to 123 are selected by the multiplexer 162. If it is supposed that an output which is delayed for a delay time D1 by the control signal CONT is selected, the output of the selection circuit, that is, the gate input of the MOSFET 113 has a pulse of a waveform as indicated by Figure 2(e). On the other hand, the input pulse (DATA)' is output to the gate of the MOSFET 112 via the inverter 152 as a pulse of a waveform as indicated by Figure 2(d) and is delayed by the delay circuits 124 to 126 to be output to the selection circuit 132. The outputs of the delay circuits 124 to 126 are selected by the multiplexer 164 and the output of the selection circuit, that is, the gate input of the MOSFET 114 has a pulse of a waveform as indicated by Figure 2(f). The output buffer 101 immediately becomes "HIGH" at rising of the input pulse DATA. The output buffer 102 becomes in a high impedance state and then, becomes "HIGH" after delay for the delay time D1. The output buffer 101 immediately becomes "LOW" at falling of the input pulse DATA. The output buffer 102 becomes in a high impedance state and then, becomes "LOW" after delay for the delay time D2. In a driver output OUT obtained by adding the output of the output buffer 101 to the output of the output buffer 102, the driving power of the load is increased in stages when the input pulse is changed. Accordingly, change in the electric current flowing in the ground line or the electric

supply line through the MOSFETs 111 to 114 at the change of the input pulse is buffered and occurrence of troubles such as power supply noise is suppressed. Since this change in the electric current flowing in, for example, the ground line and the power supply line at the charge of the input pulse depends on the built-in state, operation responsive to the built-in state is enabled by selecting optimum delay times D1 and D2 with the control signal CONT at the user side and it becomes possible to sufficiently suppress occurrence of troubles such as power supply noise.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-014167

(43)Date of publication of application : 22.01.1993

(51)Int.CI.

H03K 19/0175

H03K 17/687

(21)Application number : 03-158855

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 28.06.1991

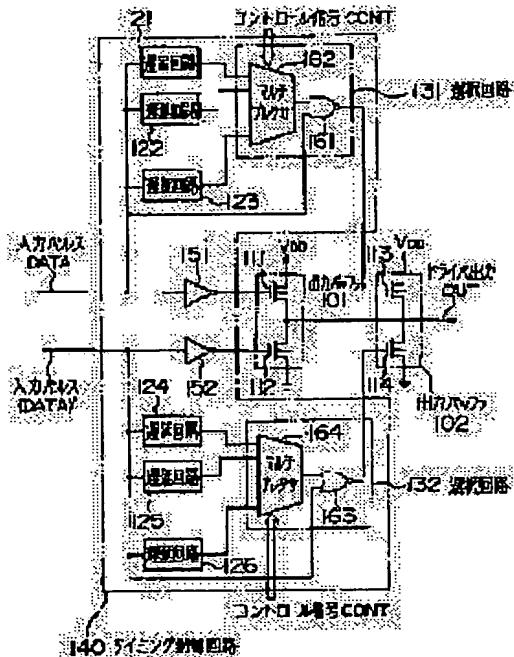
(72)Inventor : TAKAHASHI TOSHIYA

(54) OUTPUT DRIVER CIRCUIT

(57)Abstract:

PURPOSE: To adjust a through-rate of an output by the user by applying on/off control to a MOSFET in a timing set in response to an external control signal.

CONSTITUTION: An output driver circuit is provided with a timing control circuit 140 turning on/off a CMOS configuration output buffers 101, 102 and MOSFETs 111, 112, 113, 114 forming them. Outputs of the buffers 101, 102 are connected in parallel and the resulting output is outputted as a driver output OUT. The circuit 140 consists of delay circuits 121–126, selection circuits 131, 132 and inverters 151, 152 and receives an input pulse DATA and an input pulse (DATA') resulting from a pulse DATA subjected to timing control and its output applies on/off control sequentially to the MOSFETs 111–114. Thus, the operation in response to the assembling state is attained by selecting an optimum delay time by the user and occurrence of a trouble such as power noise is suppressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-14167

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl.⁵

H 03 K 19/0175
17/687

識別記号

府内整理番号

F I

技術表示箇所

8941-5 J
8221-5 J

H 03 K 19/00
17/687

101 F
F

審査請求 未請求 請求項の数3(全5頁)

(21)出願番号

特願平3-158855

(22)出願日

平成3年(1991)6月28日

(71)出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72)発明者 高橋 俊哉

東京都千代田区内幸町二丁目2番3号 川崎製鉄株式会社東京本社内

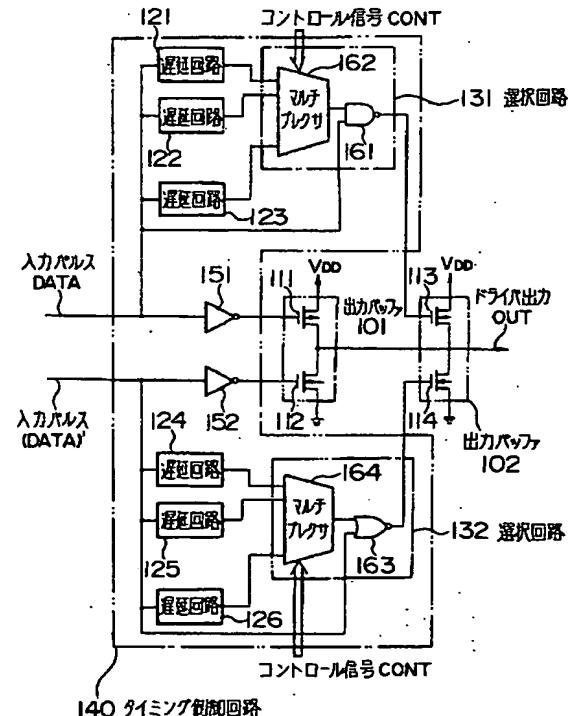
(74)代理人 弁理士 長谷川 芳樹 (外3名)

(54)【発明の名称】 出力ドライバ回路

(57)【要約】

【目的】 ユーザ側で出力のスルーレートの調節が可能なIC用の出力ドライバ回路を提供する。

【構成】 CMOS構成の出力バッファ101, 102を有し、出力バッファ101, 102の出力を接続してドライバ出力OUTとし、出力バッファを構成するMOSFETを外部からの入力パルスにより外部のコントロール信号に応じて設定されたタイミングでMOSFETをオン-オフ制御するタイミング制御回路140を備えている。タイミング制御回路140は、遅延回路121～126と、コントロール信号DATA, (DATA')により前記MOSFETをオン-オフ制御するパルスを生成し出力バッファを構成するMOSFETへ出力する選択回路131, 132とで構成されている。



【特許請求の範囲】

【請求項1】 CMOS構成の出力バッファを複数有し、これらの出力バッファの出力を接続してドライバ出力とし、前記出力バッファを構成するMOSFETを外部からの入力パルスにより順次オンーオフ制御するタイミング制御回路を備えてなる出力ドライバ回路において、前記タイミング制御回路が、外部からのコントロール信号に応じて設定されたタイミングで前記MOSFETをオンーオフ制御することを特徴とする出力ドライバ回路。

【請求項2】 前記タイミング制御回路が、所定の時間前記入力パルスを遅延させる複数の遅延回路と、前記コントロール信号により前記遅延回路からの出力及び前記入力パルスから前記MOSFETをオンーオフ制御するパルスを生成し前記MOSFETへ出力する選択回路とを備えたことを特徴とする請求項1記載の出力ドライバ回路。

【請求項3】 前記タイミング制御回路が、所定の時間前記入力パルスを遅延させるとともに複数段直列のCMOSインバータと、これらCMOSインバータの出力及び前記入力パルスから前記MOSFETをオンーオフ制御するパルスを生成し前記MOSFETへ出力する選択回路と、前記CMOSインバータに供給される電源電圧を前記コントロール信号により設定する電圧レギュレータとを備えたことを特徴とする請求項1記載の出力ドライバ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体ICの出力ドライバ回路にかかり、特に、CMOS-ICの出力ドライバ回路に関する。

【0002】

【従来の技術】 出力ドライバ回路は、装置間などの接続に使われるインターフェイス回路として、装置内部間のものと比較して高い駆動能力が要求され、その要求を満たすように作られている。しかし、高い駆動能力によって装置内部のほかの回路に電源ノイズなどのトラブルを起こすことがあり、その対策として、例えば、「特開昭64-27092」、「特開昭64-34016」、「特開平2-246419」などに記載されている。

【0003】 「特開昭64-27092」記載の発明は、図4に示すように、タイミング制御回路540において、遅延回路511によって入力パルスDATAを遅延させ、出力バッファ101, 102を構成するMOSFET111, 112, 113, 114を順次オン又はオフにすることによって、ドライバ出力OUTPUTの立ち上がり、立ち下がりを鈍らせようとするものである。これは、ドライバ出力のdI/dtを減少させて電源ノイズなどに対するトラブル対策がなされている。「特開昭64-34016」記載の発明でも異なった回路構成

10

20

30

40

50

で同様の動作が実現されている。「特開平2-246419」記載の発明では、入力パルスの遅延をRC回路で構成してほぼ同様のトラブル対策がなされている。

【0004】

【発明が解決しようとする課題】 一般に、電源ノイズなどのトラブルは、その半導体ICが使用される状況で異なっている。これを模式的にあらわすと、図4のドライバ出力OUTPUTにインダクタンスL及びキャパシタンスCがつながれ、出力ドライバ回路の出力インピーダンスをRとすると、そのトラブルは、これらL, C及びRで構成される回路の過渡現象によって表現される。出力インピーダンスRは、その出力ドライバ回路の固有の値であるが、L, Cはその半導体ICが使用される状況で異なったものになっている。前述した出力ドライバ回路は、ドライバ出力のスルーレートが所定の値になるよう、作り込まれてしまっている。このような出力ドライバ回路が組み込まれた半導体ICをユーザ側でセットに組み込んだ時に、ユーザ側でのパターン設計などにより、電源ノイズなどが予想以上に大きくなってしまうことがある。このような場合、ユーザ側ではパターン設計など設計変更が要求されることになり、機器開発上の負担を増加させることになる、といった問題が生じていた。

【0005】 本発明は、前述した問題点に鑑み、ユーザ側で出力のスルーレートの調節が可能なIC用の出力ドライバ回路を提供することをその目的とする。

【0006】

【課題を解決するための手段】 本発明の出力ドライバ回路は、CMOS構成の出力バッファを複数有し、これらの出力バッファの出力を接続してドライバ出力とし、出力バッファを構成するMOSFETを外部からの入力パルスにより順次オンーオフ制御するタイミング制御回路を備えてなる出力ドライバ回路において、タイミング制御回路が、外部からのコントロール信号に応じて設定されたタイミングでMOSFETをオンーオフ制御することを特徴とする。

【0007】 タイミング制御回路は、所定の時間入力パルスを遅延させるとともに複数段直列のCMOSインバータと、これらCMOSインバータの出力及び入力パルスから前記MOSFETをオンーオフ制御するパルスを生成しMOSFETへ出力する選択回路とで構成しうる。

【0008】 また、タイミング制御回路は、所定の時間入力パルスを遅延させるとともに複数段直列のCMOSインバータと、これらCMOSインバータの出力及び入力パルスから前記MOSFETをオンーオフ制御するパルスを生成しMOSFETへ出力する選択回路と、CMOSインバータに供給される電源電圧をコントロール信号により設定する電圧レギュレータとで構成しうる。

【0009】

【作用】 外部からの入力パルスがあると、タイミング制

御回路によって制御されて出力バッファを構成するMOSFETが順次オンもしくはオフになることによって、出力バッファの出力が「ハイ」又は「ロー」となる。ドライバ出力にはこれらの出力バッファの出力が接続されているので、ドライバ出力はこれらの出力バッファの出力が加算されたものになる。そのため、ドライバ出力のスルーレートは、タイミング制御回路のオンーオフ制御に応じたものになる。このオンーオフ制御はコントロール入力端子からの入力に応じてそのタイミングが設定されるので、ドライバ出力のスルーレートはコントロール信号によって調節されることになる。

【0010】ここで、タイミング制御回路が、遅延回路及び選択回路からなる構成をとっていると、外部からの入力パルスは遅延回路で遅延され、それぞれの遅延回路で遅延された入力パルスから選択回路で制御パルスが生成されMOSFETへ出力される。この選択回路での遅延された入力パルスの選択は、コントロール信号により設定されているので、このコントロール信号によって調節されることになる。

【0011】また、タイミング制御回路が、CMOSインバータ、選択回路及び電圧レギュレータからなる構成をとっていると、外部からの入力パルスはCMOSインバータで遅延されてMOSFETへ出力される。このCMOSインバータでの遅延時間は、CMOSインバータに供給される電源電圧によって決まるので、この電源電圧を設定しているコントロール信号によって調節されることになる。

【0012】

【実施例】本発明の実施例を図1乃至図3を用いて説明する。図1には、本発明の第1実施例の出力ドライバ回路が示されている。

【0013】この図1の出力ドライバ回路は、CMOS構成の出力バッファ101, 102と、出力バッファ101, 102を構成するMOSFET111, 112, 113, 114をオンーオフ制御するタイミング制御回路140とを備えている。

【0014】出力バッファ101, 102は、それらの出力が並列に接続されている。この並列につながれた出力はドライバ出力OUTとして出力される。MOSFET111, 113は、Pチャンネルタイプであるので、そのゲート入力がハイのときオフ、ローのときオンである。また、MOSFET112, 114は、Nチャンネルタイプであるので、そのゲート入力がハイのときオン、ローのときオフである。

【0015】タイミング制御回路140は、入力パルスDATAと入力パルスDATA'を入力し、図2に示すようなタイミングのパルスを生成し、MOSFET111, 112, 113, 114を順次オンーオフ制御するものである。タイミング制御回路140は、遅延回路121

10

20

30

40

50

～126と、選択回路131, 132と、インバータ151, 152とで構成されている。遅延回路121～126は、それぞれ所定の時間入力パルスDATAを遅延させるものである。選択回路131は、遅延回路121～123で遅延された入力パルスDATAからMOSFET113をオンーオフ制御する制御パルスを生成しMOSFET113へ出力する。選択回路132は、遅延回路124～126で遅延された入力パルスDATAからMOSFET114をオンーオフ制御する制御パルスを生成しMOSFET114へ出力する。選択回路131, 132は、マルチプレクサ及びNANDゲート若しくはNORゲートで構成されている。

【0016】マルチプレクサ162, 164は、遅延回路121～123又は遅延回路124～126の出力の内からコントロール信号CONTに応じたものを選択し出力する。NANDゲート161は、マルチプレクサ162の出力と入力パルスDATAとからMOSFET113をオンーオフ制御する制御パルスを生成しMOSFET113へ出力する。NORゲート163は、マルチプレクサ164の出力と入力パルスDATAとからMOSFET114をオンーオフ制御する制御パルスを生成しMOSFET114へ出力する。図ではマルチプレクサ162, 164へのコントロール信号CONTは、別々に描いてあるが同じ場合もある。

【0017】つぎに、この出力ドライバ回路の動作について説明する。ここで、図2(a)のような波形の入力パルスDATAとこれが波形制御された図2(b)のような波形の入力パルス(DATA')が入力されるものとして説明する。

【0018】まず、入力パルスDATAは、インバータ151を介してMOSFET111のゲートへ図2(c)のような波形のパルスとして出力される。また、遅延回路121～123で遅延された選択回路131へ出力される。遅延回路121～123の出力は、マルチプレクサ162で選択される。ここで、コントロール信号CONTにより遅延時間D1だけ遅延したものが選択されているものとすると、選択回路の出力即ちMOSFET113のゲート入力は、図2(e)のような波形のパルスになる。一方、入力パルス(DATA')は、インバータ152を介してMOSFET112のゲートへ図2(d)のような波形のパルスとして出力される。また、遅延回路124～126で遅延された選択回路132へ出力される。遅延回路124～126の出力は、マルチプレクサ164で選択され、選択回路の出力即ちMOSFET114のゲート入力は、図2(f)のような波形のパルスになる。入力パルスDATAの立上がり時には、出力バッファ101は直ちにハイになる。出力バッファ102は、ハイインピーダンス状態になり、遅延時間D1だけ遅れてハイになる。入力パルスDATAの立下がり時には、出力バッファ101は直ちにローにな

る。出力バッファ102は、ハイインピーダンス状態になり、遅延時間D2だけ遅れてローになる。これら出力バッファ101, 102の出力をあわせたドライバ出力OUTは、入力パルスの変化するときにその負荷の駆動能力が段階的に大きくなるようになっている。これによって入力パルスの変化するときにMOSFET111～114を通りグランド線或いは電源線に流れる電流の変化を和らげ、電源ノイズなどのトラブルの発生を押さえている。この入力パルスの変化するときのグランド線、電源線などに流れる電流の変化は、その組み込み状態によるので、ユーザ側でコントロール信号CONTで最適な遅延時間D1及びD2を選択することで、その組み込み状態に応じた動作が可能になり、電源ノイズなどのトラブルの発生を十分に押さえうる。

【0019】つぎに、本発明の第2実施例について説明する。図3には、本発明の第2実施例の出力ドライバ回路が示されている。

【0020】この図3の出力ドライバ回路では、タイミング制御回路340が、直列に接続されたCMOSインバータ301～302, 303～304と、NANDゲート161と、NORゲート162と、CMOSインバータ301～302, 303～304とを備え、グランドとの間にMOSFET311, 312が設けられている。CMOSインバータでは、一般に、その遅延時間は電源電圧に依存し、電源電圧が高いほど遅延時間は小さく、電源電圧が低いほど遅延時間は大きい。この図3の出力ドライバ回路は、この性質を利用し、MOSFET311, 312によってCMOSインバータ301～302, 303～304にかかる電源電圧を調整しようとするものである。

【0021】NANDゲート161は、CMOSインバータ301～302の出力及び入力パルスDATAからMOSFET113をオンオフ制御するパルスを生成しMOSFET113へ出力する。NORゲート162は、CMOSインバータ303～304の出力及び入力パルス(DATA)’からMOSFET113をオンオフ制御するパルスを生成しMOSFET114へ出力する。MOSFET311, 312は、CMOSインバータ301～302, 303～304に供給される電源電圧をコントロール電圧V_{ref}により設定する電圧レギュレータとして機能している。

【0022】この出力ドライバ回路の動作は、遅延時間がコントロール電圧V_{ref}により設定されている点が異なるだけで、前述した第1実施例とほぼ同様である。ユーザ側でコントロール電圧V_{ref}で最適な遅延時間を設定して、その組み込み状態に応じた動作が可能になり、

電源ノイズなどのトラブルの発生を十分に押さえられる。この場合、遅延時間が連続的に調節でき、また、遅延時間調節のための端子が一つでよいという利点がある。

【0023】

【発明の効果】以上、本発明によると、タイミング制御回路が、外部からのコントロール信号に応じて設定されたタイミングで出力バッファを構成するMOSFETをオンオフ制御することによって、ユーザ側でコントロール信号などで最適な遅延時間を選択することで、その組み込み状態に応じた動作が可能になり、電源ノイズなどのトラブルの発生を十分に押さええることができる。

【図面の簡単な説明】

【図1】本発明の第1実施例を示す図。

【図2】入力パルスと出力バッファを構成するMOSFETのゲート入力のタイミングチャート。

【図3】本発明の第2実施例を示す図。

【図4】従来例を示す図。

【符号の説明】

140…タイミング制御回路

101…出力バッファ

102…出力バッファ

103…出力バッファ

104…出力バッファ

111…MOSFET

112…MOSFET

113…MOSFET

114…MOSFET

121…遅延回路

122…遅延回路

123…遅延回路

124…遅延回路

125…遅延回路

126…遅延回路

131…選択回路

132…選択回路

301…CMOSインバータ

302…CMOSインバータ

303…CMOSインバータ

304…CMOSインバータ

311…MOSFET

312…MOSFET

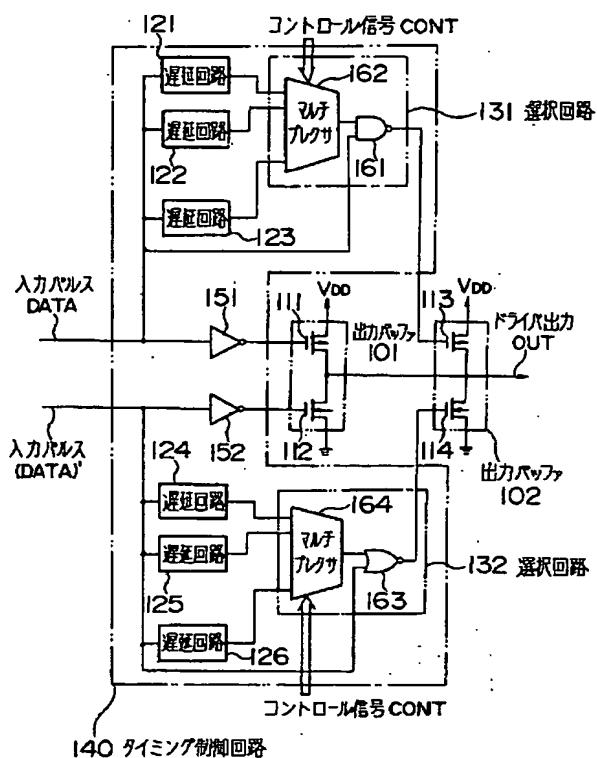
340…タイミング制御回路

DATA…入力パルス

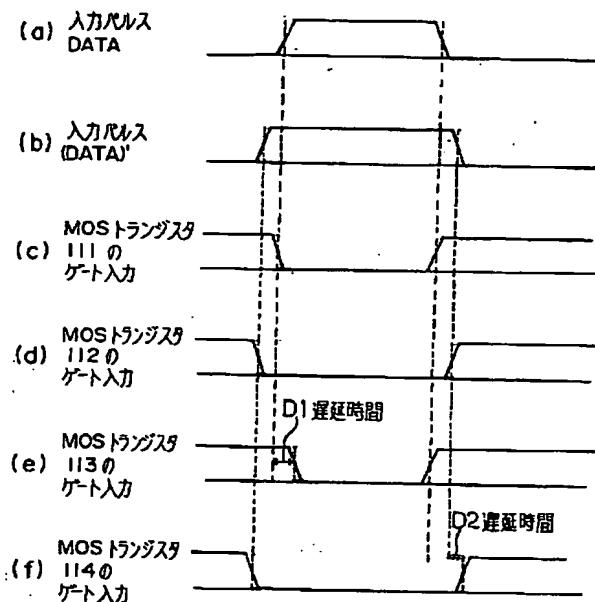
(DATA)’…入力パルス

OUT…ドライバ出力

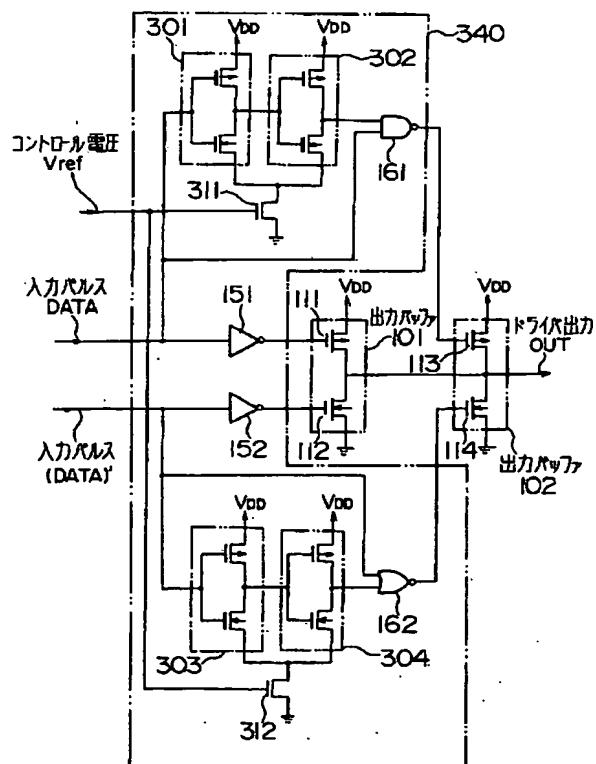
【図1】



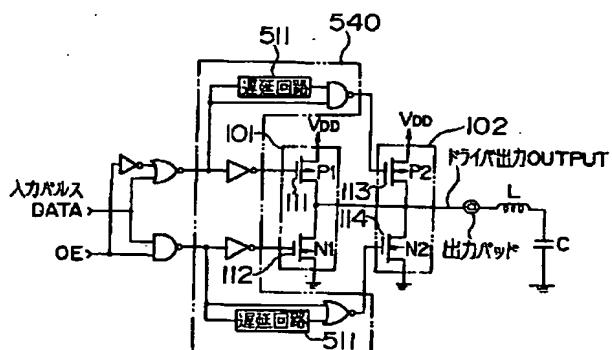
【図2】



【図3】



【図4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.